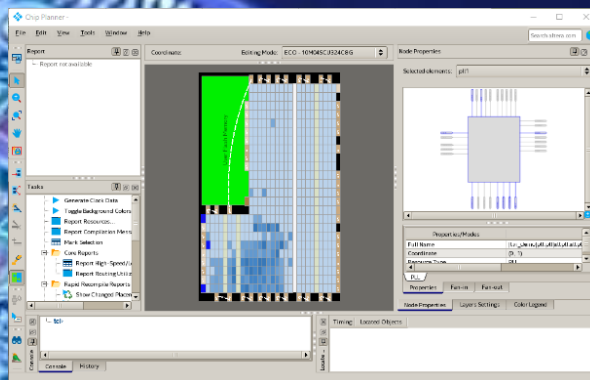
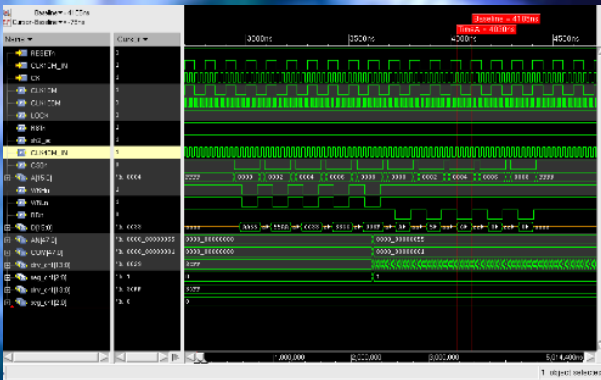


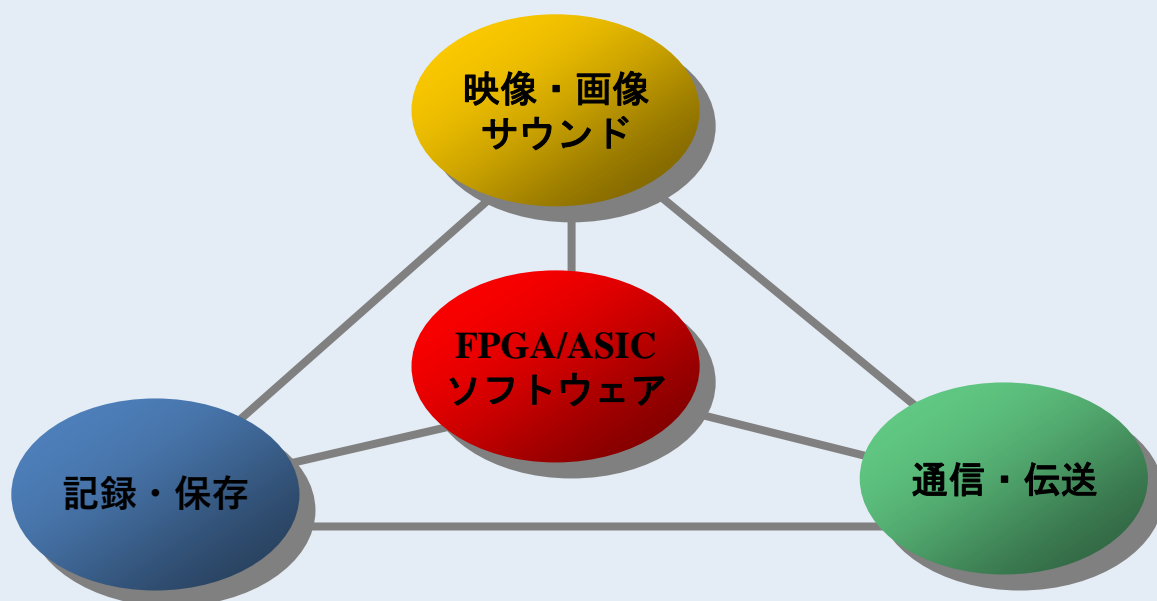
FPGA/ASIC 設計受託サービス

ハードウェア・ソフトウェアの両側面から
最適なFPGA/ASIC設計をご提案します。



3分野の要素技術をサポート

音声・画像、記録・保存、通信・伝送の製品開発でニーズの多い要素技術を、FPGA/ASICとソフトウェアでサポートします。



トータルソリューションでサポート

お客様の新製品開発のニーズに対して、

- ・ 企画提案、最適なソリューションの提案
- ・ FPGA/ASIC 論理設計
- ・ 論理検証・タイミング検証
- ・ ソフトウェア開発
- ・ システム（ボード）設計・試作
- ・ 機構、外装の試作

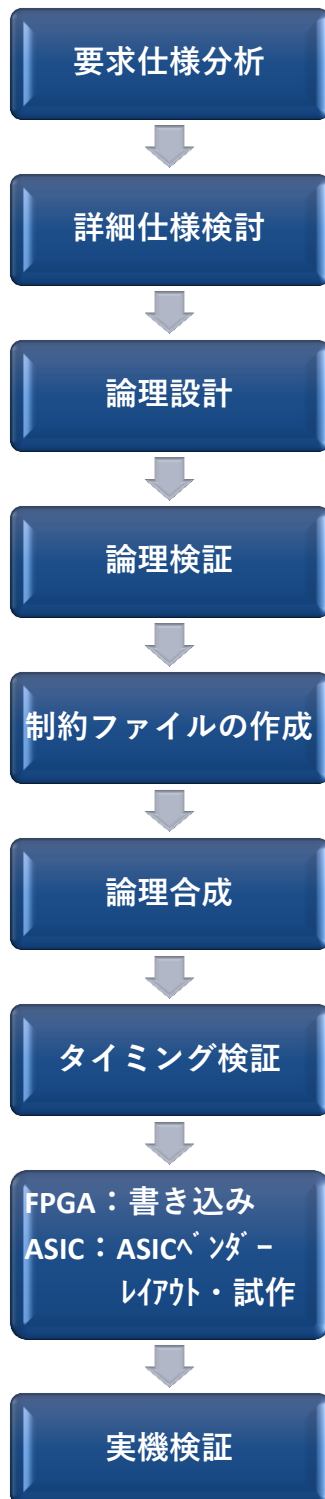
のトータルソリューションでお応えします。

FPGA/ASIC設計受託サービス

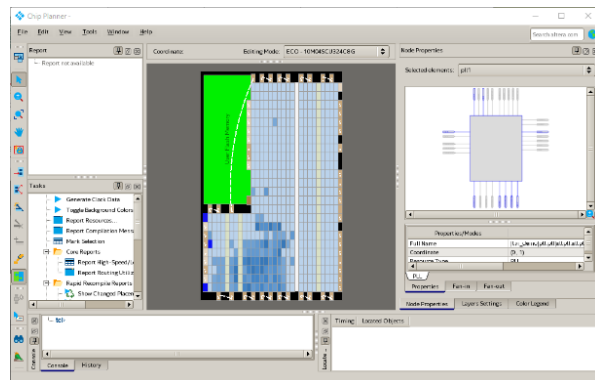
【お客様の製品に最適なFPGA/ASIC設計をご提案】

- ハード・ソフトの両側面から最適なFPGA/ASIC設計をご提案します。
- EOL対応で、紙の回路図しか残っていない場合や論理検証用のパターンが無い場合もFPGA/ASIC化をサポートします。
- 論理検証だけでなく、実機検証も行うことで品質を確保します。

FPGA/ASIC開発フロー



- ✓ 各ステップでお客様と共同レビューを実施します。



各種FPGAの開発が可能です。

■ 実績のある開発環境

ベンダ	対象シリーズ	開発ツール
インテル (Intel)	Cyclone, Arria, Stratix, MAX10	Quartus Prime
ザイリンクス (XILINX)	Spartan, Artix, Kintex, Virtex	Vivado, ISE
ラティス (LATTICE)	ispMACH 4000,	Lattice DIAMOND

※その他、デバイスについてもご相談に応じ対応させていただきます。

■ 対応言語

- Verilog HDL
- VHDL

■ 保有ツール

シミュレーションは用途に応じて以下のツールを使用しております。

ツール名	ベンダ
Model Sim	メンター・グラフィックス
nc-sim	ケーデンス

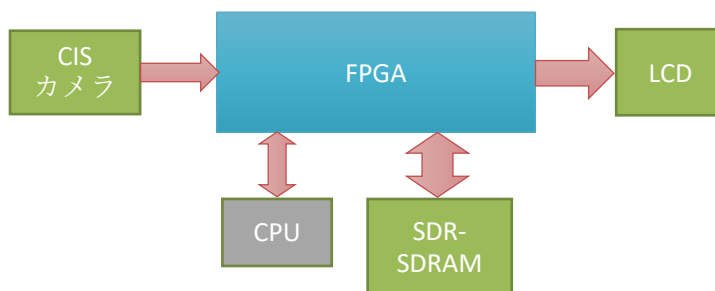
論理合成では、FPGAベンダーが提供するツールのほか、シノプシス社製のDesign Compilerも必要に応じて使用しております。

【LCDコントローラ開発事例】

◆製品説明

CISカメラ入力画像をリアルタイムで画像処理を行いLCDに表示を行うLCDコントローラ

- ・フレームバッファ方式
- ・解像度可変（最大1366dot×768dot）
- ・フレームレート可変（最大100Hz）
- ・ノンインターレース/インターレース対応



◆FPGA設計のポイント

解像度とフレームレートをレジスタ設定により可変とすることで、多数のLCDへの対応が可能

また、FPGAのIPを使用せずにオリジナルSDR-SDRAMコントローラを開発することで、他社FPGAへの移植を容易化

◆開発フロー

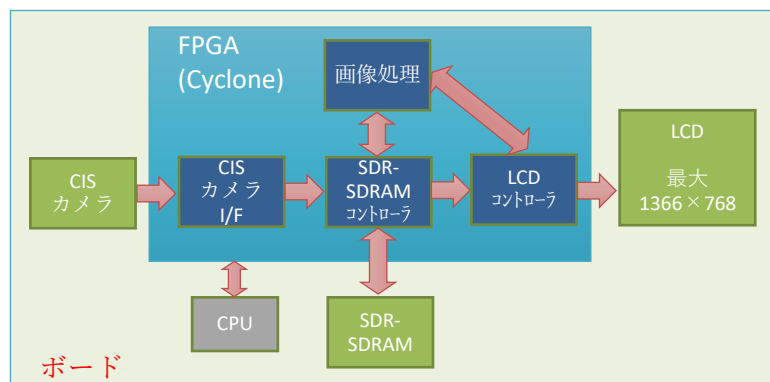
①システム仕様検討

カメラ画像、画像処理、LCDコントローラからのSDR-SDRAMへのアクセス調停（チャンネル数）および必要バンド幅の検討を実施

FPGA開発事例 (2/3)

②FPGA仕様検討

- ・カメラ画像をリアルタイム画像処理し、LCD表示を行うための回路検討を実施
- ・他社FPGA採用時でも移植が容易なようにオリジナルのSDR-SDRAMコントローラを開発



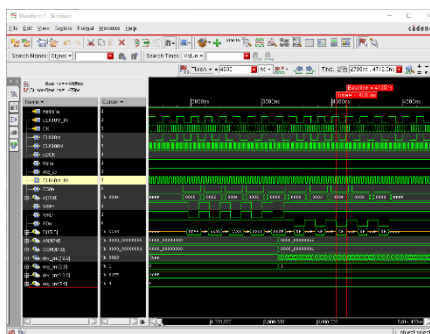
③RTL設計

特に高速化が必要なSDR-SDRAM I/F部分のIOタイミング制約を考慮し設計を実施

```
public class  
{  
    deflator ANGST = 3;  
    deflator ANGST = 12;  
  
    signal wire 1 CLK; // Clock  
    signal wire 1 RES; // Reset (active)  
    signal wire 1 ADDR; // Address  
    signal wire 1 WE; // Write Enable  
    signal wire 1 RD; // Read Enable  
    signal wire 1 CS; // Chip Select  
    signal wire 1 DQ; // Data  
  
    // Signal declaration  
    signal wire 1 DQ; // Read Data (8-bit)  
    signal wire 1 WE; // Read Data (8-bit)  
    signal wire 1 CS; // Read Data (8-bit)  
  
    // Read Data  
    always @(posedge CLK) begin  
        if (RD) begin  
            DQ <= DQ; // Read Data (8-bit)  
        end  
    end  
  
    // Write Data  
    always @(posedge CLK) begin  
        if (WE) begin  
            DQ <= DQ; // Write Data (8-bit)  
        end  
    end  
  
    // CS  
    always @(posedge CLK) begin  
        if (CS) begin  
            CS <= CS; // CS (1-bit)  
        end  
    end  
end
```

④論理検証 (nc-simによるシミュレーション)

検証項目リストに従い、論理シミュレーションを実施



⑤タイミング制約作成

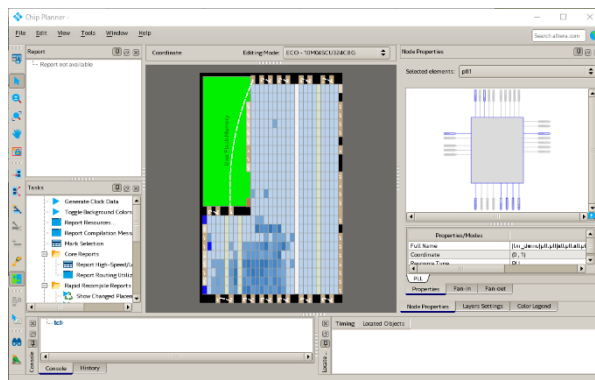
高速化が求められる部分のタイミング制約を正確に与えることでFPGAの品質を確保

FPGA開発事例 (3/3)

⑥論理合成、配置配線、タイミング検証

FPGAツールによる論理合成、配置配線を実施

⑤で作成したタイミング制約を満たしているかを確認



⑦実機検証


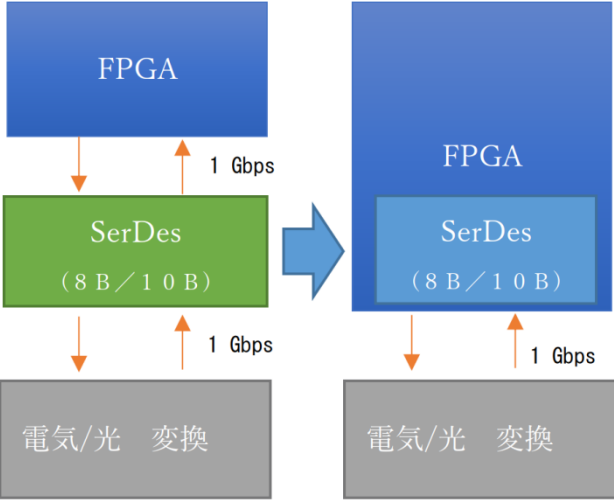
・評価項目に従い、実機評価を実施

◆成果

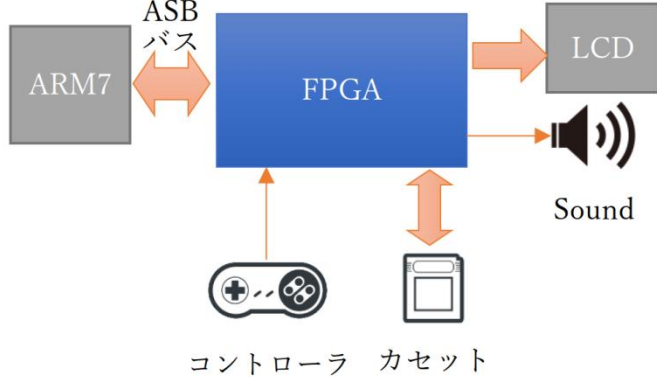
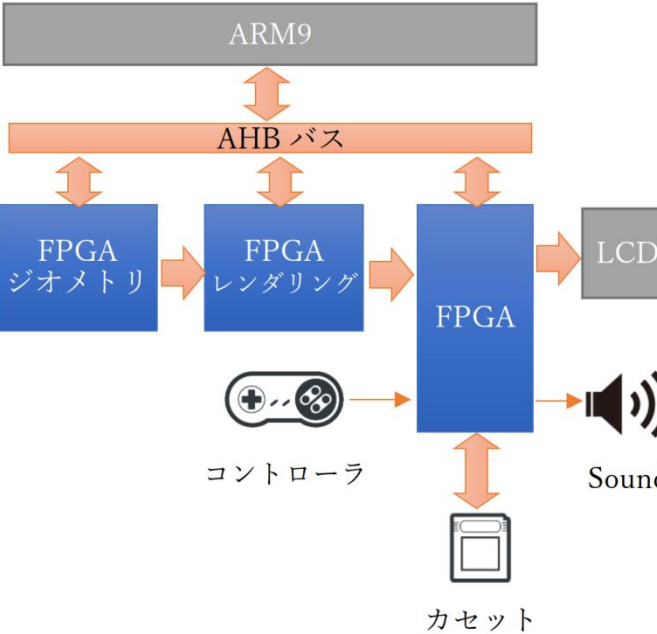
- ・LCDを変更する場合でもソフトウェア変更のみで対応可能
- ・オリジナルのSDR-SDRAMコントローラ搭載により、他社FPGAへの置き換えが容易




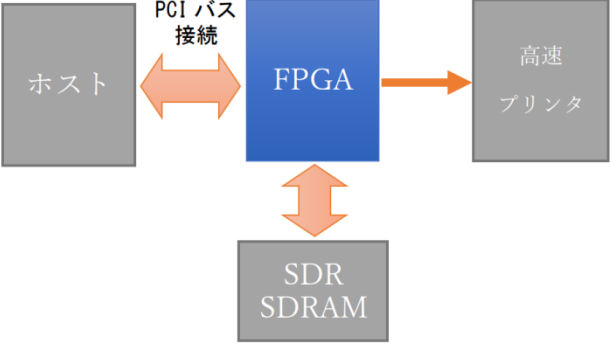
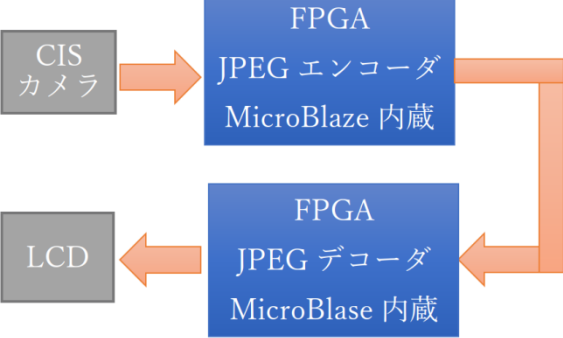
その他の主なFPGA開発事例 (1/4)

開発件名	設計概要	開発要素
光 LAN ユニット用 FPGA 開発	<p>伝送レート 1 Gbps のデータを処理しホストプロセッサとのインターフェースを行う。</p> 	FPGA Arria V 高速シリアル
高速シリアル通信用 SerDes の FPGA 化	<p>SerDes の生産中止に伴い、Intel 製 FPGA Arria V が内蔵している SerDes に置き換えた。 専用の SerDes IC を、FPGA 化したことで将来の生産中止リスクを低減できた。</p> 	FPGA Arria V SerDes

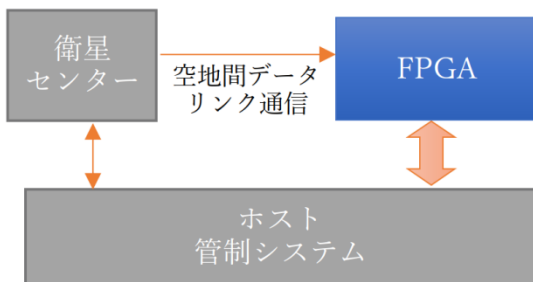
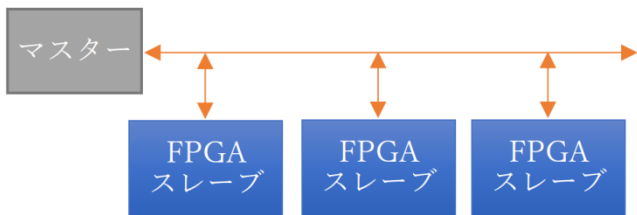
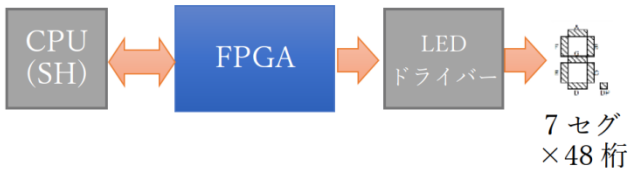
その他の主なFPGA開発事例 (2/4)

開発件名	設計概要	開発要素
携帯ゲーム機 (2D)	<p>携帯ゲーム機用 SoC 開発時のブレッドボードに FPGA を使用</p> <p>LCD コントローラ (ラインバッファ方式)、音源、カセット I/F、コントローラ I/F、その他周辺回路を内蔵</p>  <p>ARM7</p> <p>ASB バス</p> <p>FPGA</p> <p>LCD</p> <p>Sound</p> <p>コントローラ</p> <p>カセット</p>	<p>FPGA Virtex</p> <p>ASB/APB バス</p> <p>ARM7 SoC 開発</p>
携帯ゲーム機 (3D)	<p>携帯ゲーム機用 SoC 開発時のブレッドボード開発に FPGA を使用</p> <p>ジオメトリエンジン、レンダリングエンジン、LCD コントローラ (ラインバッファ方式)、音源、カセット I/F、コントローラ I/F、その他周辺回路を内蔵</p>  <p>ARM9</p> <p>AHB バス</p> <p>FPGA ジオメトリ</p> <p>FPGA レンダリング</p> <p>FPGA</p> <p>LCD</p> <p>Sound</p> <p>コントローラ</p> <p>カセット</p>	<p>FPGA Cyclone</p> <p>AHB/APB バス</p> <p>ARM9 SoC 開発</p> <p>ジオメトリ/レンダリングエンジン</p>

その他の主なFPGA開発事例 (3/4)

開発件名	設計概要	開発要素
SDメモ리카ード インターフェース	<p>CPU から SD メモ리카ードへのリード/ライトを行う。</p>  <pre> graph LR CPU[CPU] <--> FPGA[FPGA] FPGA <--> SD[SD CARD 16GB] </pre>	FPGA Spartan SDメモ리카ードI/F
業務用プリンタ	<p>ホストプロセッサと高速プリンタのインターフェースを行なう。ホストプロセッサから PCI バス接続で外部 SDRAM に画像データを格納し、高速プリンタのタイミングを生成してデータを転送する。</p>  <pre> graph LR Host[ホスト] <--> PCI バス 接続 FPGA[FPGA] FPGA --> Printer[高速 プリンタ] FPGA <--> SDRAM[SDR SDRAM] </pre>	FPGA Spartan PCI バス SDR-SDRAM コントローラ
JPEGエンコーダ /デコーダ	<p>JPEG エンコーダ/デコーダの IP 開発に FPGA を使用 CIS カメラ→JPEG エンコーダ→JPEG デコーダ→LCD の順に接続し、リアルタイムでのエンコード/デコードを実現した。</p>  <pre> graph LR Camera[CIS カメラ] --> FPGA1[FPGA JPEG エンコーダ MicroBlaze 内蔵] FPGA1 --> FPGA2[FPGA JPEG デコーダ MicroBlaze 内蔵] FPGA2 --> LCD[LCD] </pre>	FPGA Virtex JPEG エンコーダ JPEG デコーダ CIS カメラ I/F MicroBlaze 内蔵

その他の主なFPGA開発事例 (4/4)

開発件名	設計概要	開発要素
航空機間無線装置	<p>OFDM (直交波周波数分割多重) 変復調回路を FPGA に内蔵</p> 	FPGA Kintex7 OFDM 変復調
FA 用長距離シリアル通信装置	<p>FA 用長距離シリアル通信 LSI 開発に FPGA を使用</p> 	FPGA MAX10 シリアル通信規格
LED 表示盤	<p>CPU からレジスタ設定により 7 セグ LED の 48 桁の文字列制御と輝度制御を行う。 輝度制御はダイナミック点灯方式で波形をレジスタ設定により制御する。</p> 	FPGA MAX10 LED ダイナミック点灯

お問い合わせ先

【名称】 株式会社クリエイティブ・デザイン

【住所】 〒666-0024 兵庫県川西市久代3丁目13番21号

【TEL】 072-757-2725

【URL】 <http://www.cdi.co.jp/index.html>

【E-mail】 support@cdi.co.jp

2020/06/09